

通信インフラで活用される
S D N (Software Defined Network)
---HardはSoftで実現される---

J I E T九州支部 講演資料
Egretcom (株) 水谷 幹男

2015年8月7日

1. 会社紹介

1 通信機器の開発・販売・サポート


モデム技術を中心とした、通信機器のハード・ソフト・機構 開発、受託

2 組み込み型ソフトの開発・販売・サポート

ソフトモデム、画像処理アプリケーション

ソフトウェアモデム、FAX通信モジュール、画像処理アプリケーションの開発
パケットロスに影響されないVoIP対応FAXソフトモデムの開発

※CPU/RTOS/Cコンパイラ 非依存、FPU (Floating Point Unit) 使用、C言語ソース提供可

 ソフトウェアモデム

3 PLCモデム

HD-PLC機器の開発/低速PLCモデムの開発

コンサルタント

4 MATLAB言語によるシミュレーション

変復調システム、画像処理、自動制御システム

✓ FAX通信解析ソフト

5 通信システム構築のコンサルテーション・販売・サポート

テレコントロールスイッチ

電話インターホン式 簡易オートロックシステム

非接触カードリーダー

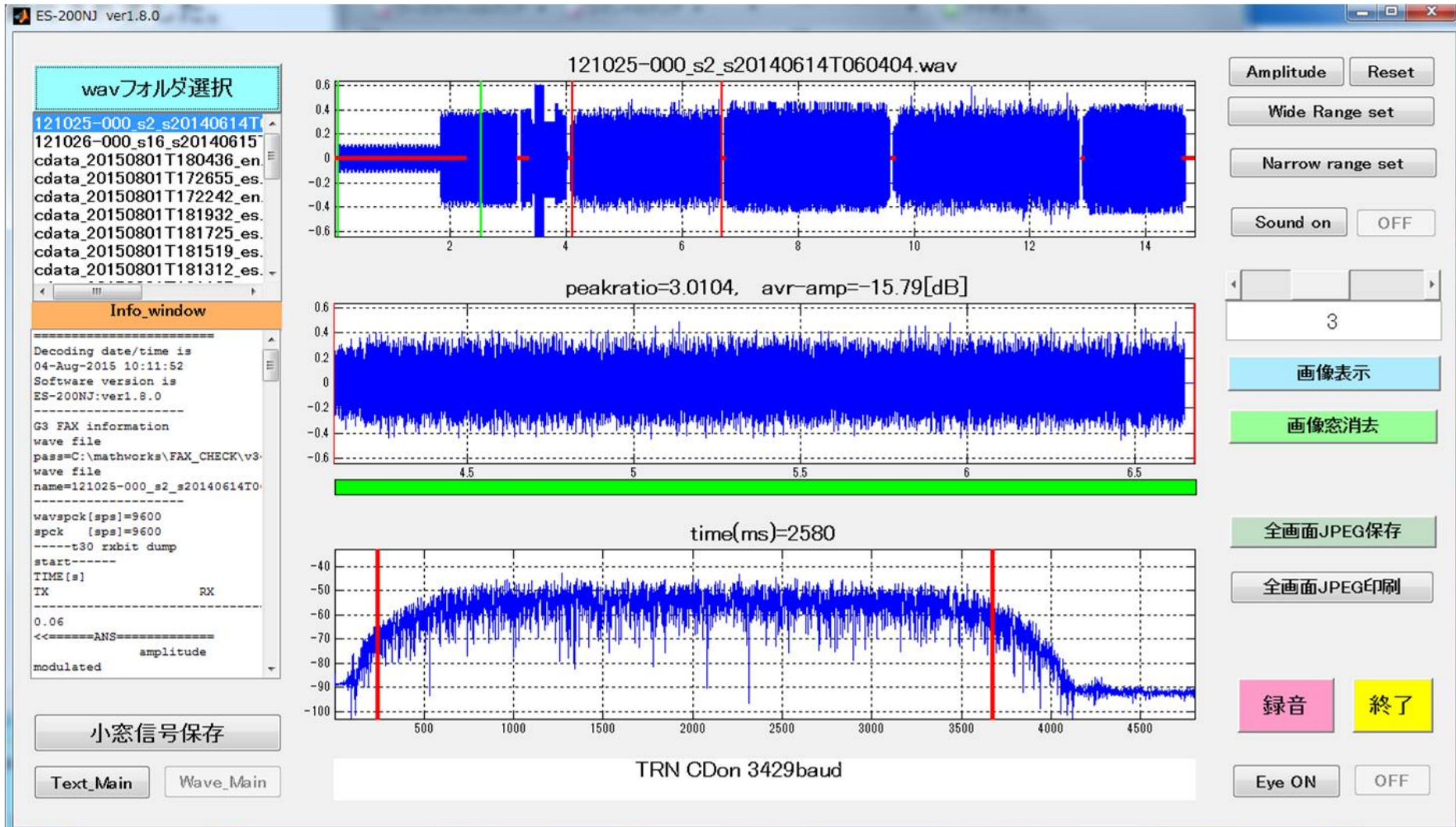
6 iPhone・iPod・iPad用アプリケーション開発

iPhone・iPod・iPad用アプリケーション開発

📱 開発チーム Grooove

2. FAX用ソフトモデム

FAXアナライザー ES-200

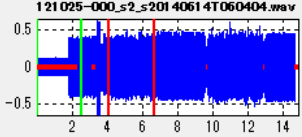


FAXアナライザー ES-200

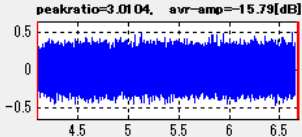
ES-200NJ ver1.8.0

wavフォルダ選択

121025-000_s2_s20140614T
 121026-000_s16_s20140615
 cdata_20150801T180436_en
 cdata_20150801T172655_es
 cdata_20150801T172242_en
 cdata_20150801T181932_es
 cdata_20150801T181725_es
 cdata_20150801T181519_es
 cdata_20150801T181312_es



121025-000_s2_s20140614T060404.wav
 peakratio=3.0104, avr_amp=-15.79[dB]



time(ms)=2580

小窓信号保存

Text_Main Wave_Main

Info_window

```

3.42 <-----ToneA----->
3.46 <-----ToneAbar----->
3.50 -----ToneBbar----->
3.66 -----L1L2-----> L2=180msec
3.88 <-----ToneA2----->
3.96 <-----ToneB2----->
4.04 <-----InfoH----->
                                0C5D60
                                power_reduction_dB=0dB
                                Training_time=2450ms
                                Carrier_high=0
                                Pre-emphasis_filter_index=7
                                Symbol_rate=3429baud
                                Training_point=16
4.10 =====TRN (-17dB)=====>> EQM Value=1.846393
                                pllz1=-0.03476
6.76 =====cchC (-19dB)=====>>
6.76 <<====cchA (-30dB)=====<<
6.76 -----PPHC----->
6.84 <-----PPHA----->
7.14 -----MPh0C----->
                                1C00FFFC
                                Data_rate=33600bps
                                9C0EFFFFC
                                Data_rate=33600bps
                                trellise=64
                                nonlinear_on=1
                                expand_on=1
                                Prec.coef(1)=real:+0.0193 imag:-0.0004
                                Prec.coef(2)=real:-0.0166 imag:+0.0000
                                Prec.coef(3)=real:+0.0139 imag:-0.0004
7.26 <-----EA----->
7.30 <-----EC----->
7.70 <-----NSF-----> 00 00 79 00 00 00 82 0F
                    
```

TRN CDon 3429baud

Amplitude Reset

Wide Range set

Narrow range set

Sound on OFF

3

画像表示

画像窓消去

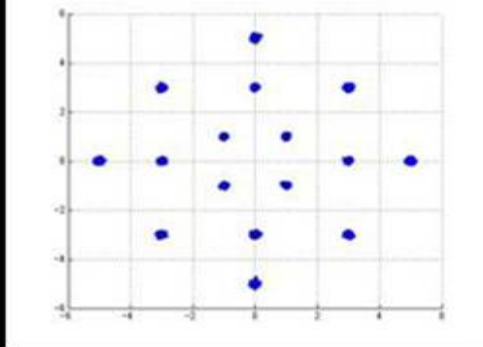
全画面JPEG保存

全画面JPEG印刷

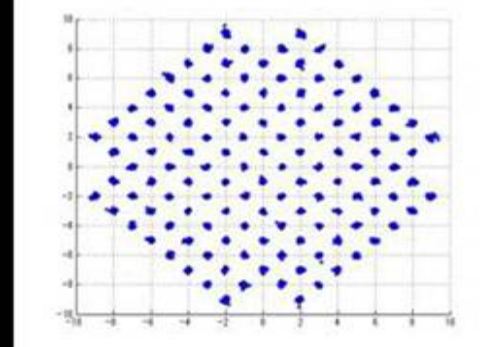
録音 終了

Eye ON OFF

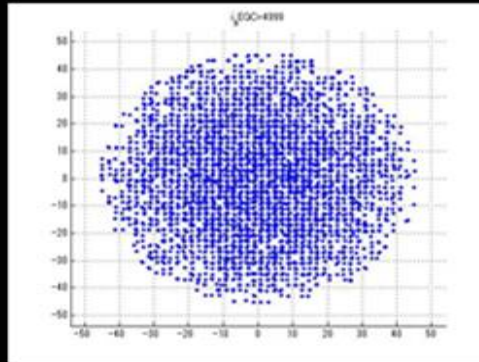
FAXモデムの星座数の違い



V.29(9,600bps) 16ポイント



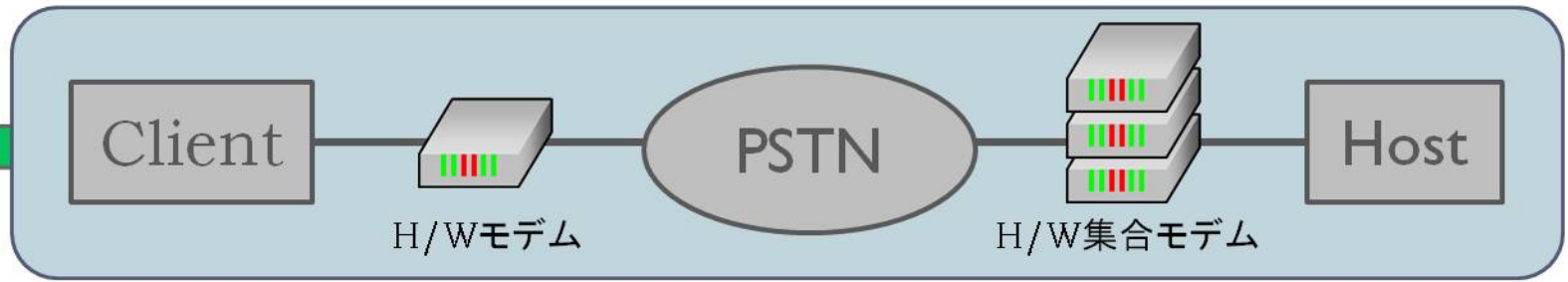
V.17(14,400bps) 128ポイント



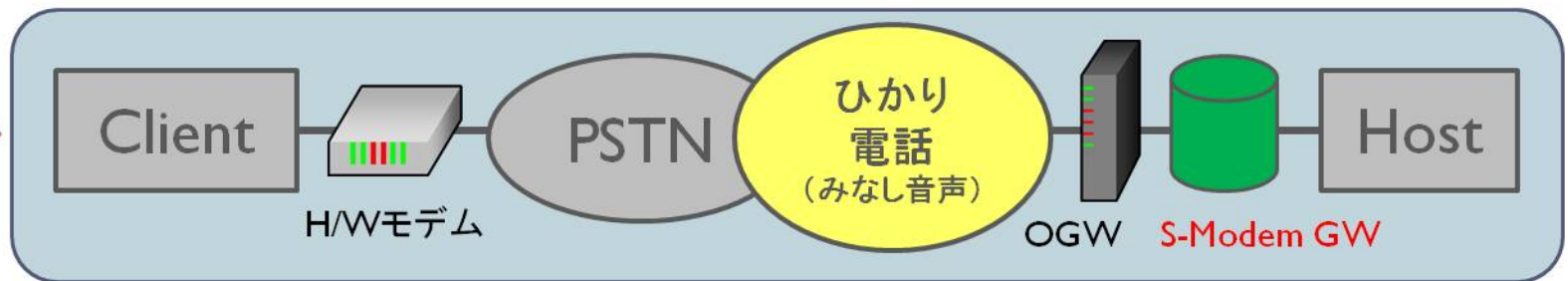
V.34(33,600bps) 1,664ポイント

ソフトモデム一導入例

現状

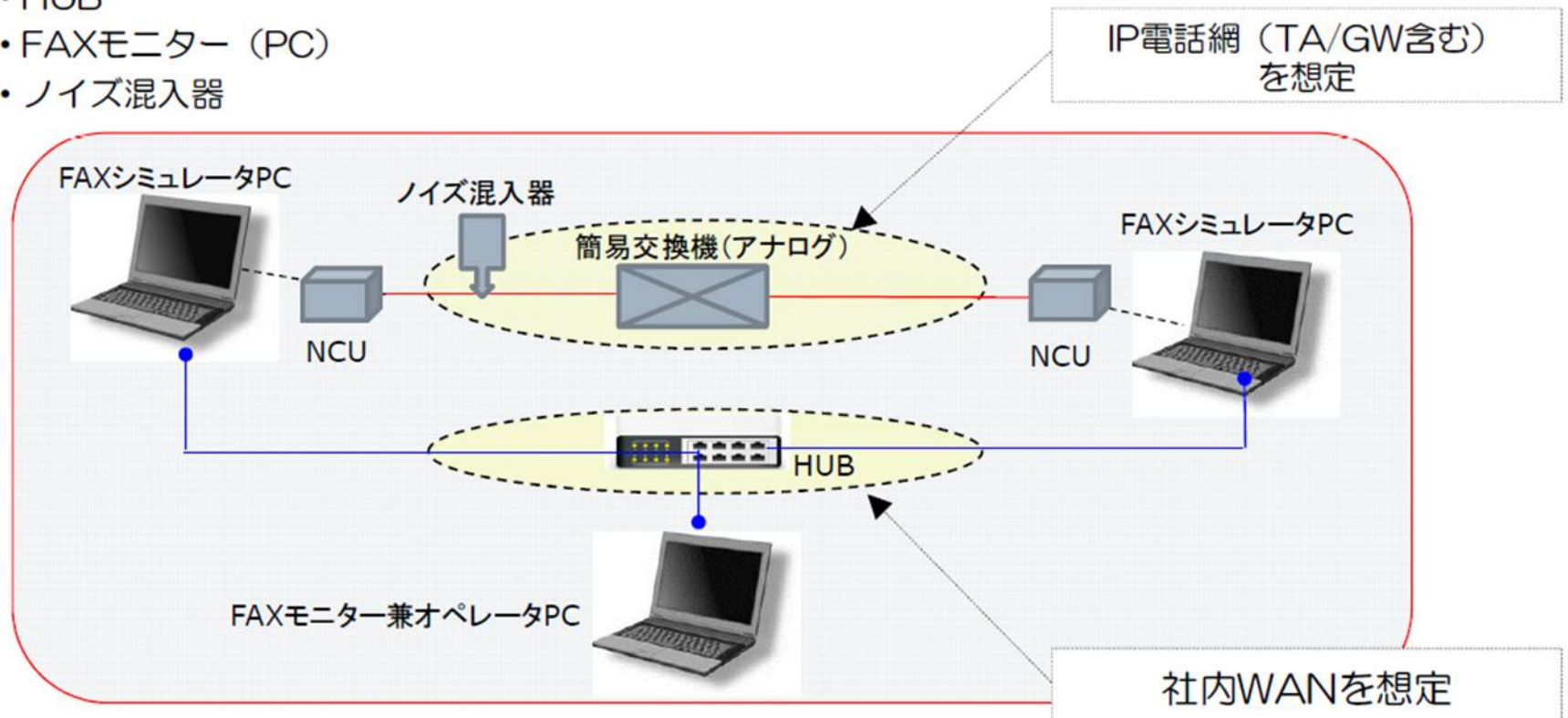


移行後(みなし音声方式)



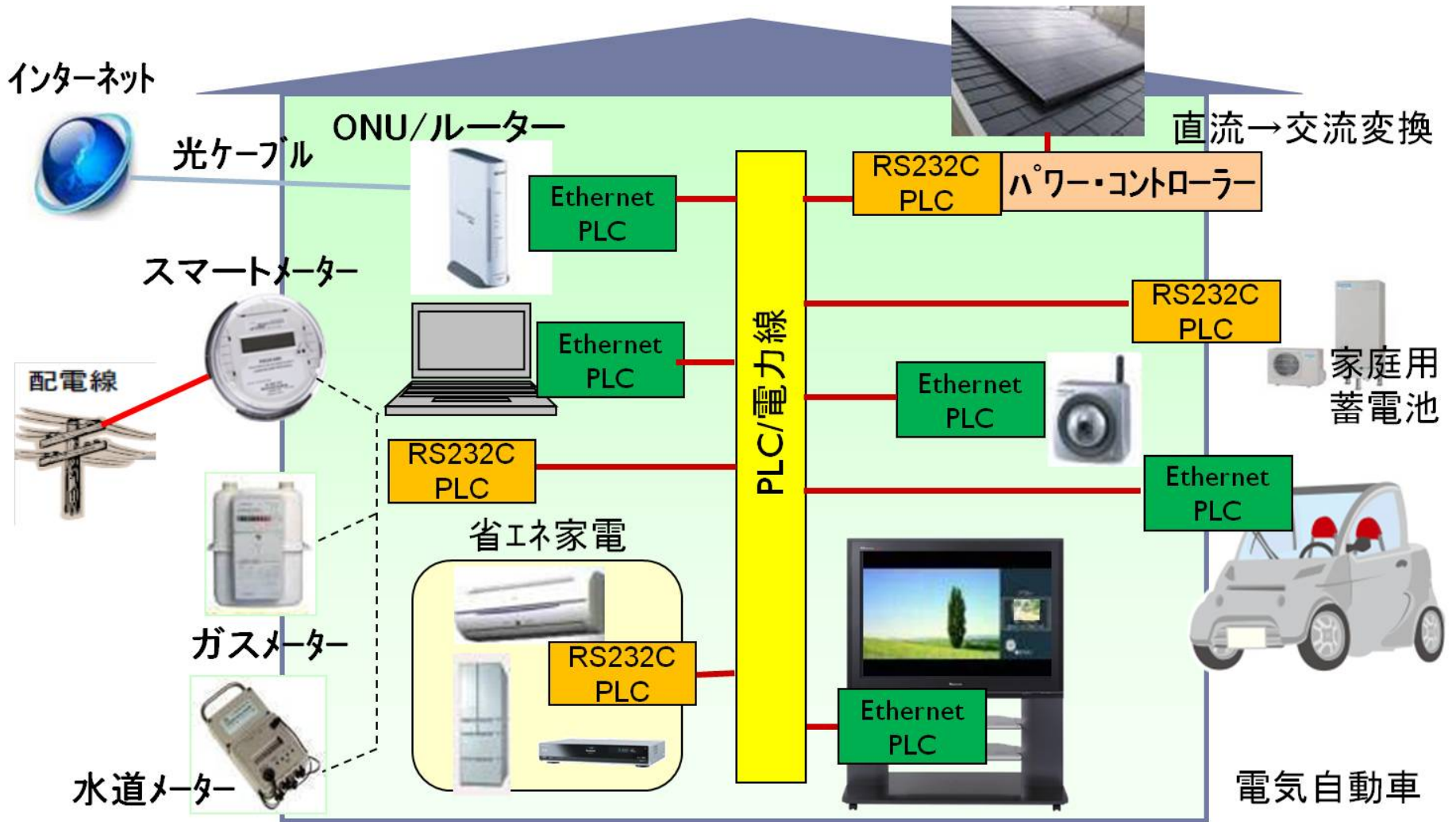
V o I P回線ーF A X疎通確認システム

- FAXシミュレータ (PC) +D/A変換機能有りNCU
- 簡易交換機 (アナログ)
- HUB
- FAXモニター (PC)
- ノイズ混入器



3. PLCモデム (電力線搬送モデム)

PLCの応用例



PLCの活用場面ー1

- Power Line communication(PLC)の特徴
 - # 電力線を通信線として活用(新規配線不要)
 - # 電力配電網に直結
 - # 100Mbps程度の通信も可能な帯域幅
 - # EVとEV充電器間の通信
- 宅内での応用展開
 - # ルーター／PC間のデータ通信
 - # ルーター／TV間の映像放送
 - # スマートメーター／HEMS－GW間の計測データ配信

PLCの活用場面ー2

■ 電力配電網

#スマートメーター網Aルート中継

#集合住宅のアグリゲーターToスマートメータ間通信

#配電網からの自動メーターリード(AMR)

■ 映像配信同軸ケーブル

#集合住宅アンテナToルーム間のデータ通信

■ 屋外での通信

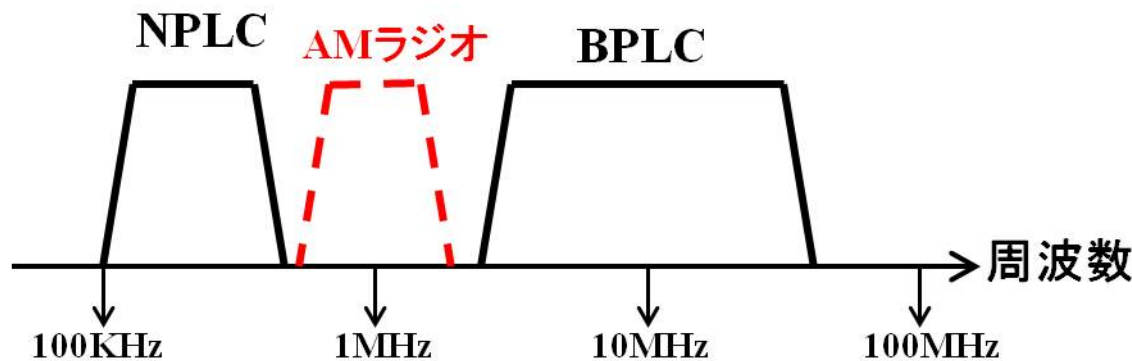
#屋外照明制御

#街頭カメラ映像の電力線搬送通信

2. PLCの物理層

PLC-標準規格

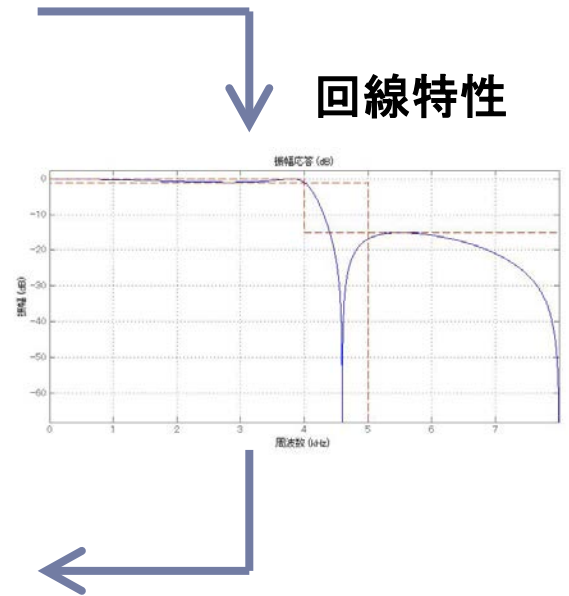
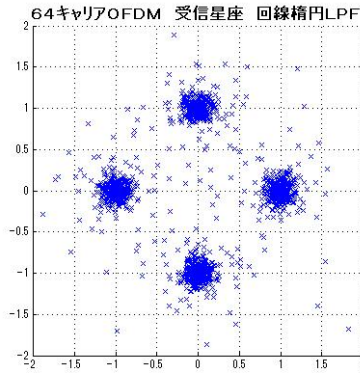
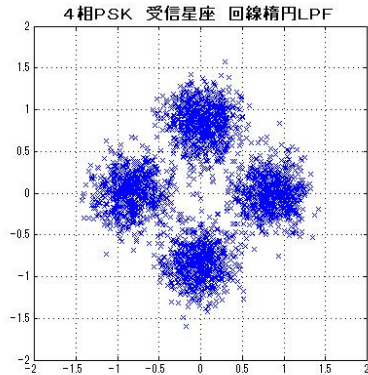
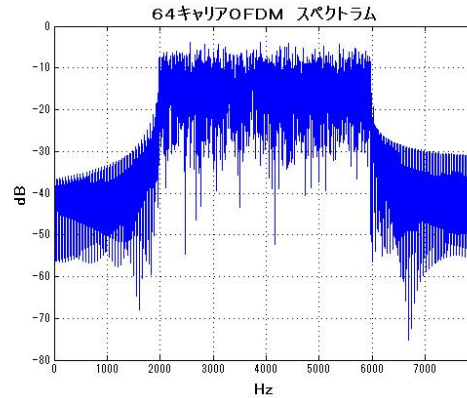
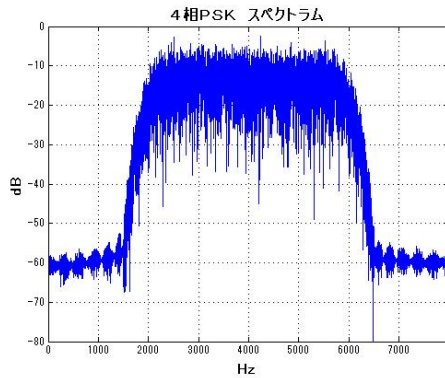
- 広帯域PLC (Broad-band PLC:BPLC) ≒ 100Mbpsと
狭帯域PLC (Narrow-band PLC:NPLC) ≒ 100kbps



- BPLC標準規格 2010年:IEEE1901,ITU-T G.9972
日本では、屋内使用に限定されている
- NPLC標準規格 2011年:IEEE1901.2,ITU-T G.9903
2014年4月から東京電力がスマートメータで使用

OFDM変調

- PLCの変調はOFDM、PSKとOFDMの比較
OFDMは、周波数ノッチに強い

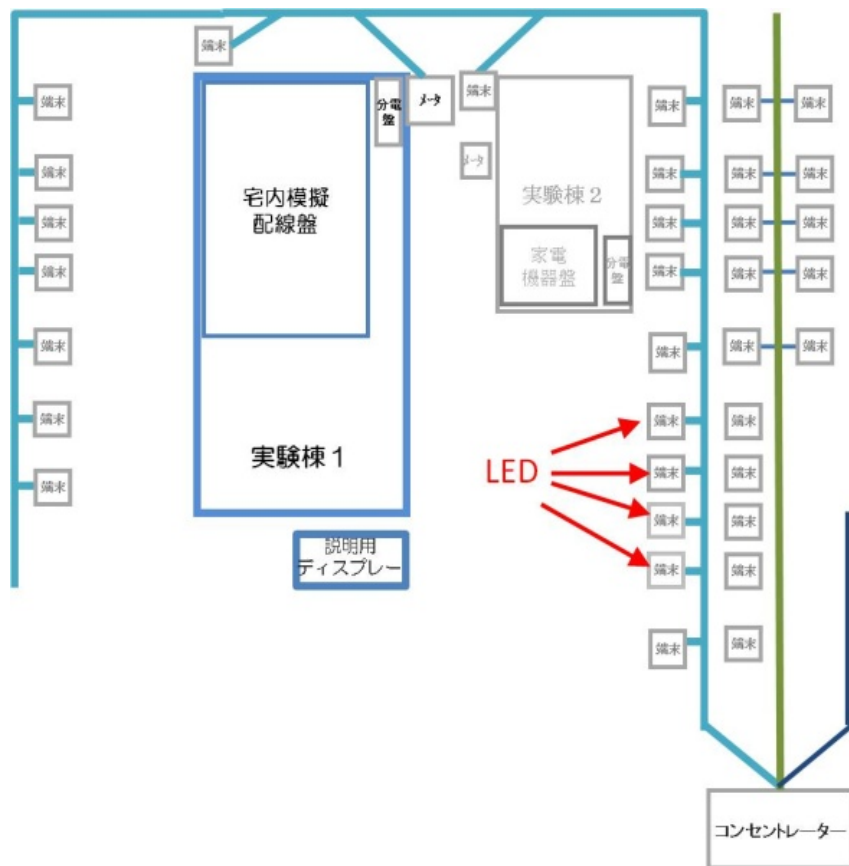
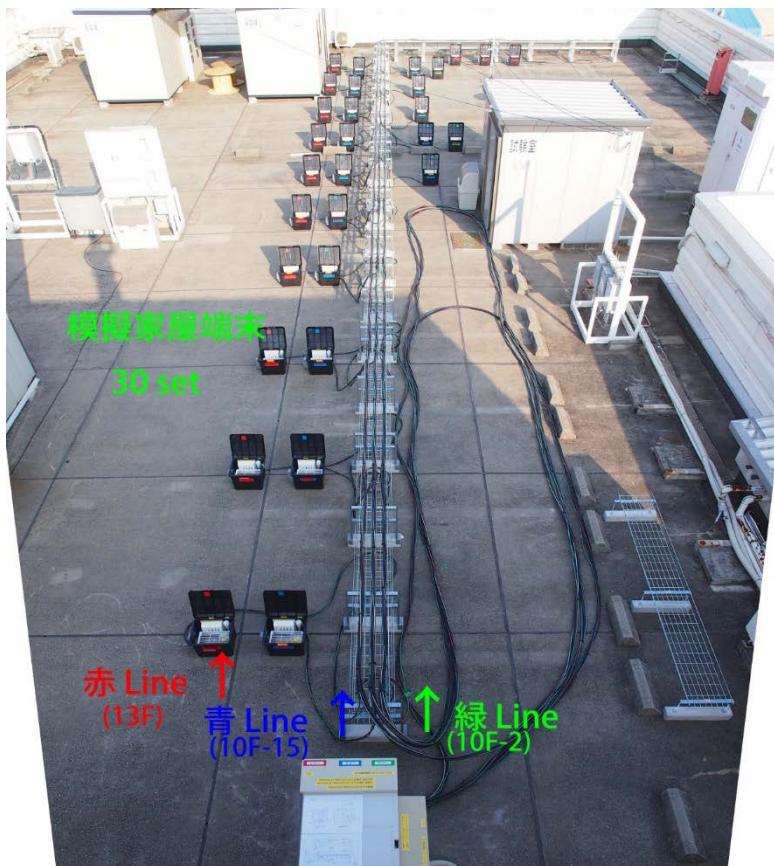


PSK(位相変調)

OFDM(直交周波数多重変調)

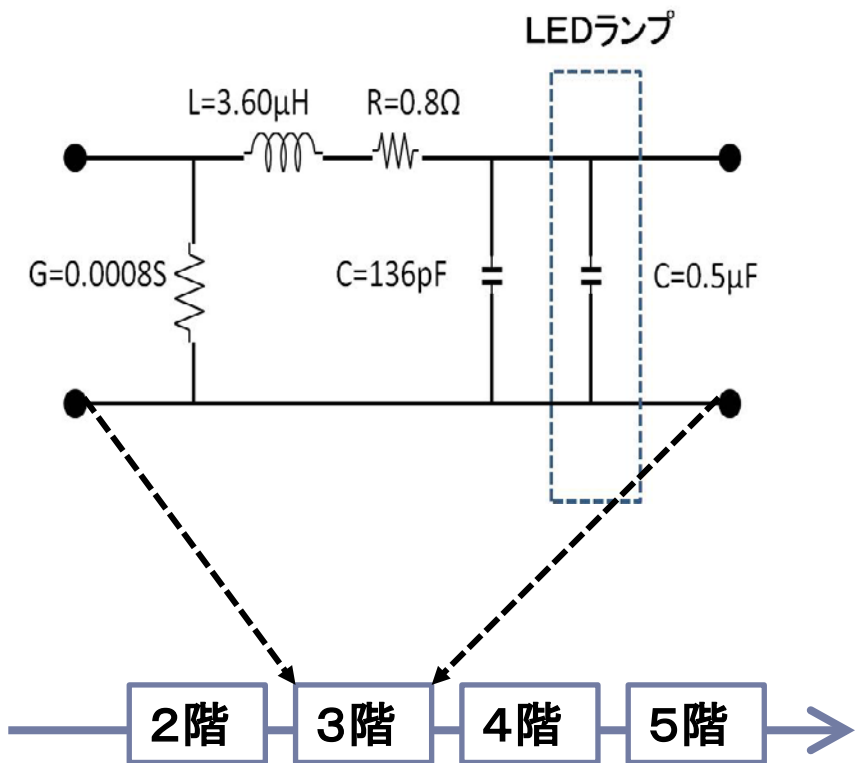
3. 1 PLCの減衰と雑音の実態

減衰と雑音の実態一集合住宅疑似回線

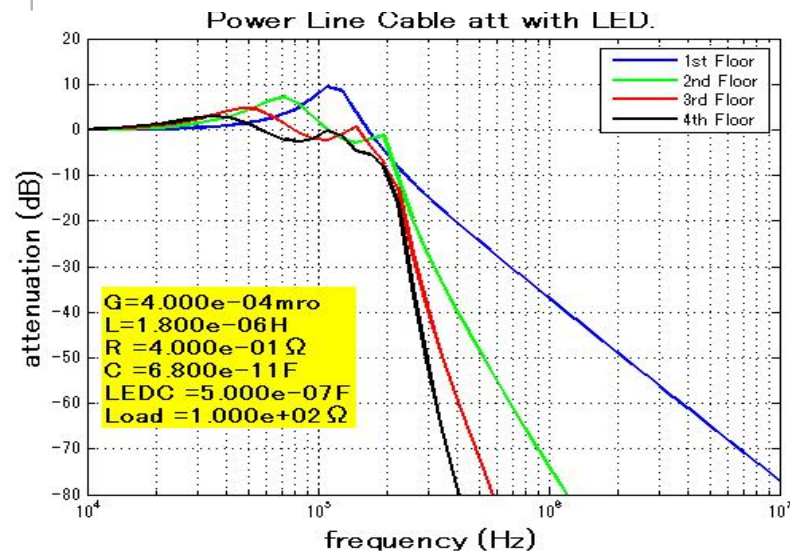
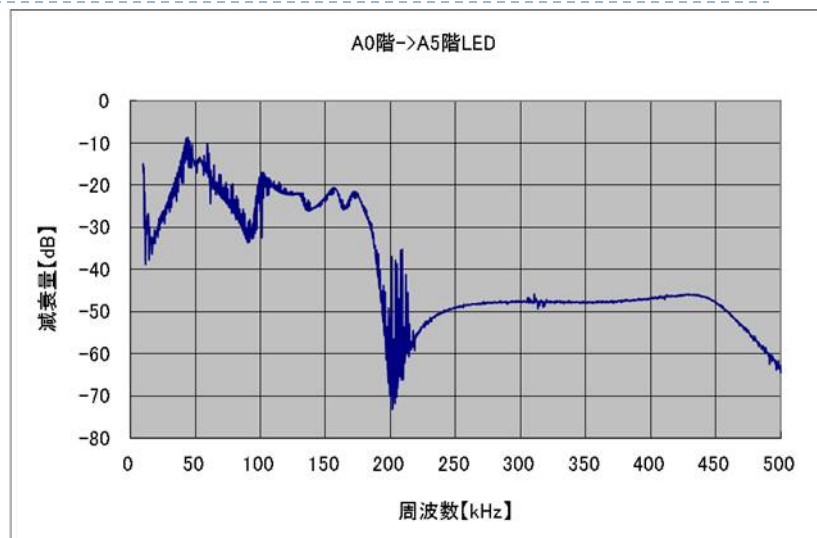


埼玉エンジニアリングのPLC評価用集合住宅疑似回線

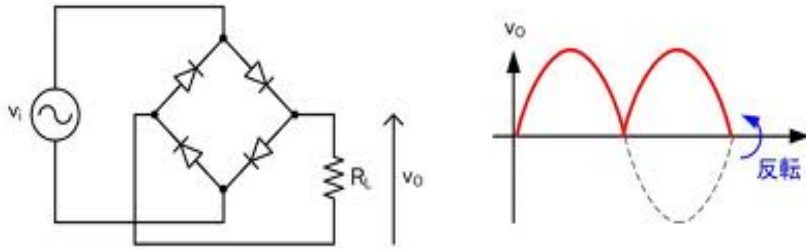
減衰と雑音の実態-周波数特性



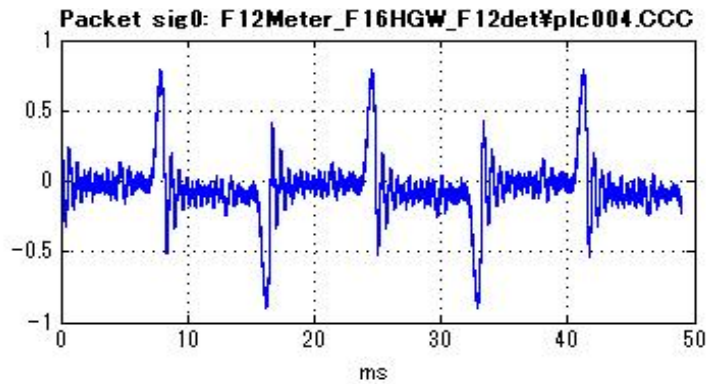
1階から5階までの総合伝達特性



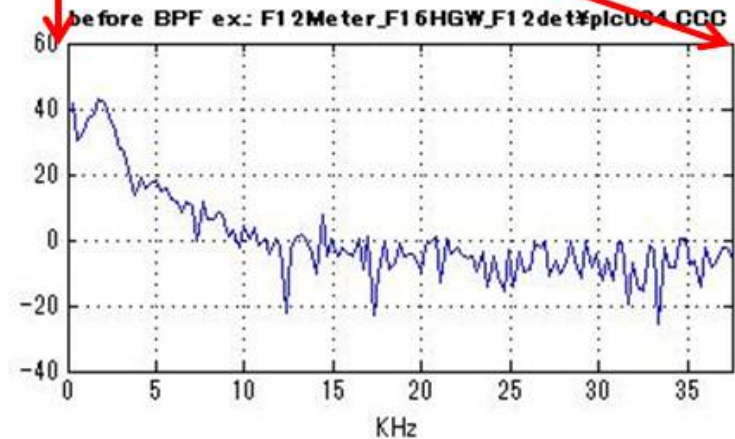
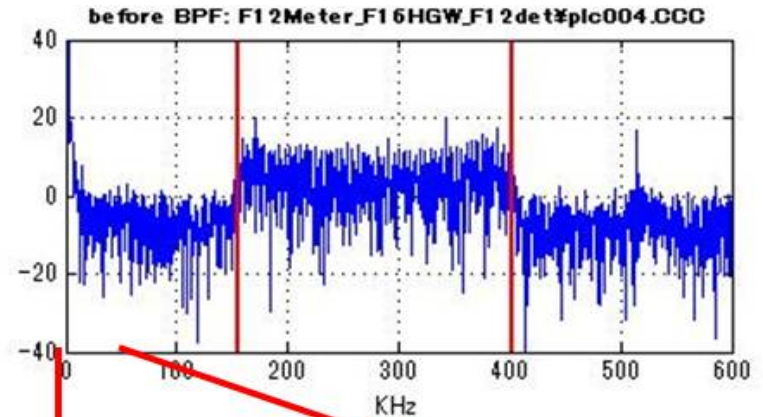
10kHz以下の雑音



全波整流回路



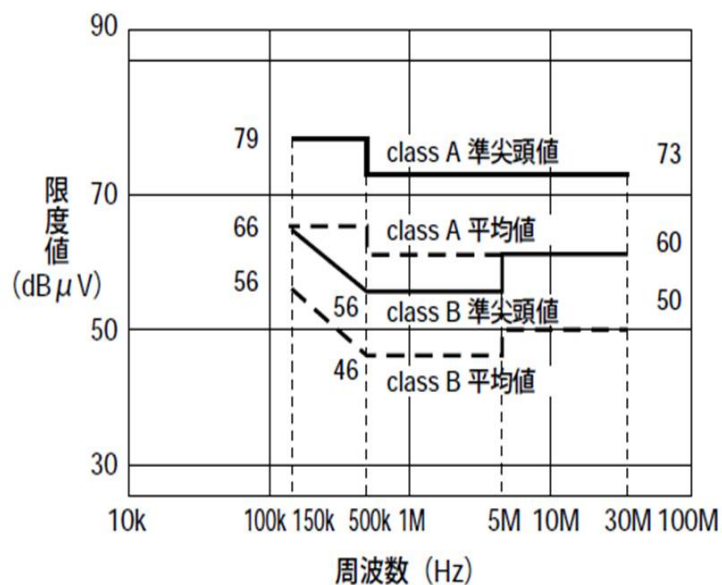
10kHz以下の雑音波形



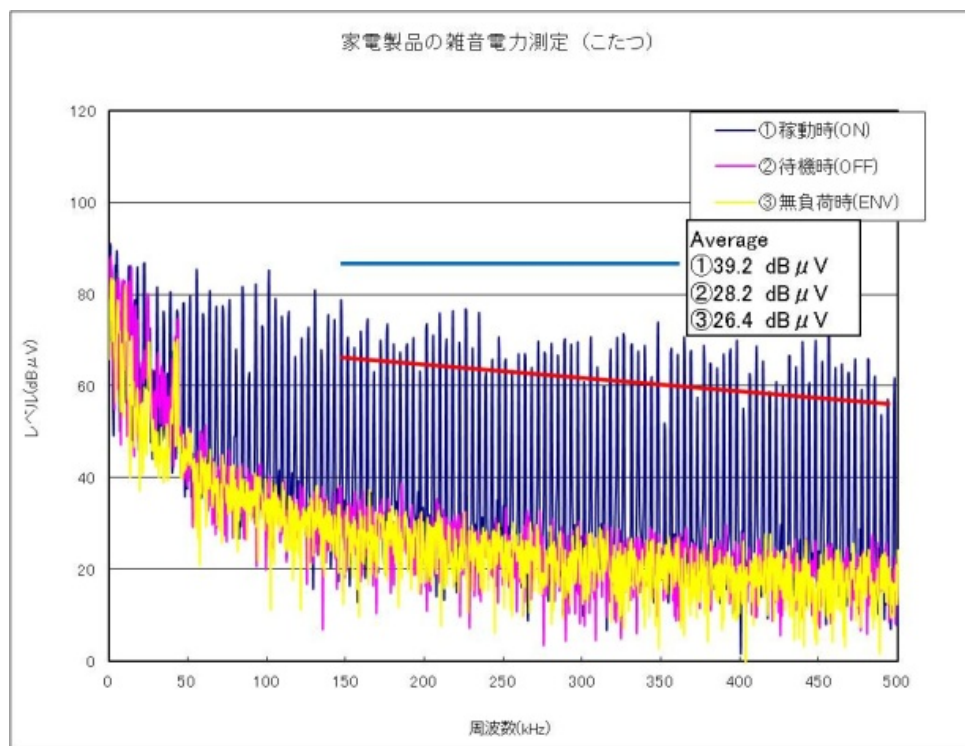
■10kHz以下の雑音はアナログフィルターで遮断できる

10kHz以上の雑音

[雑音端子電圧 (電源)]



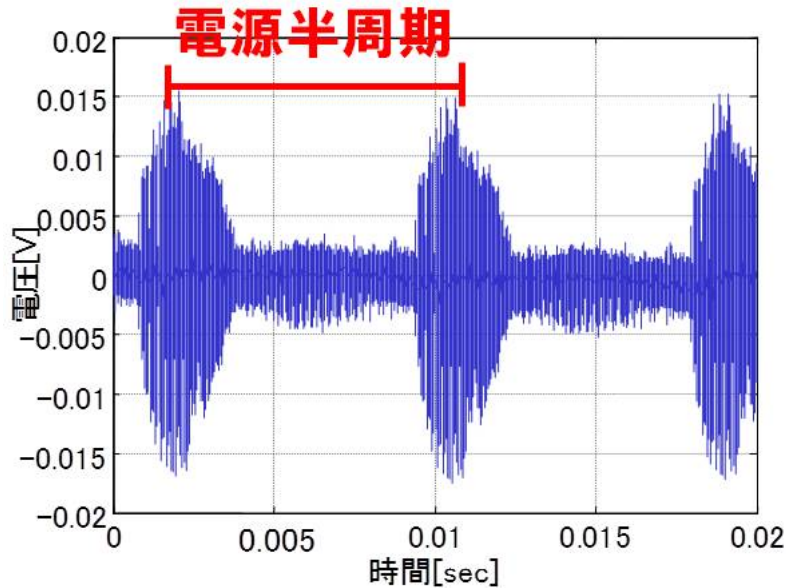
雑音端子電圧規制



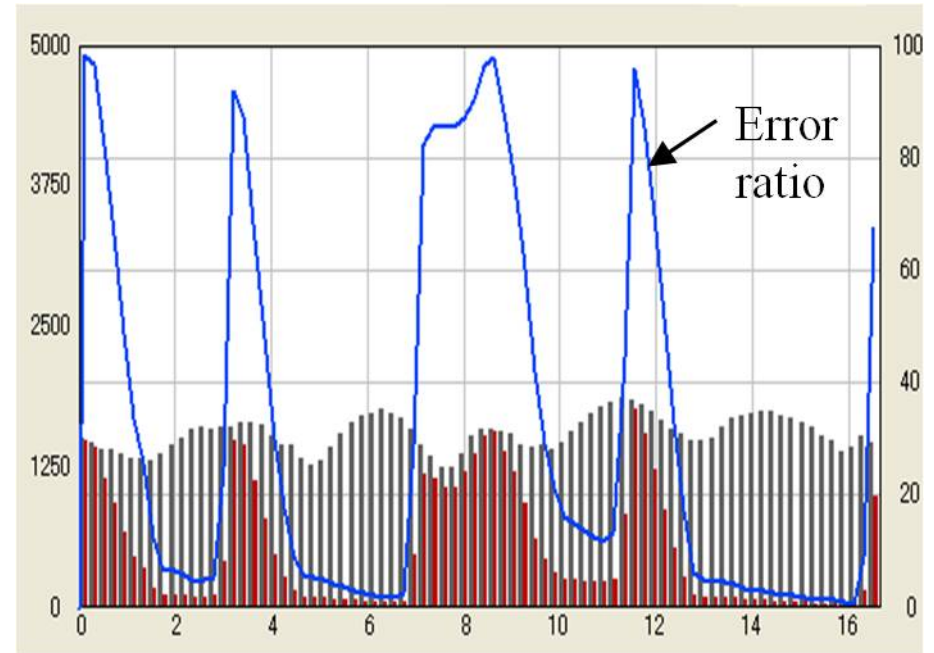
電気こたつの雑音

■150kHz以上の雑音はフィルターでは、遮断できない

電源周期で変動するインピーダンス



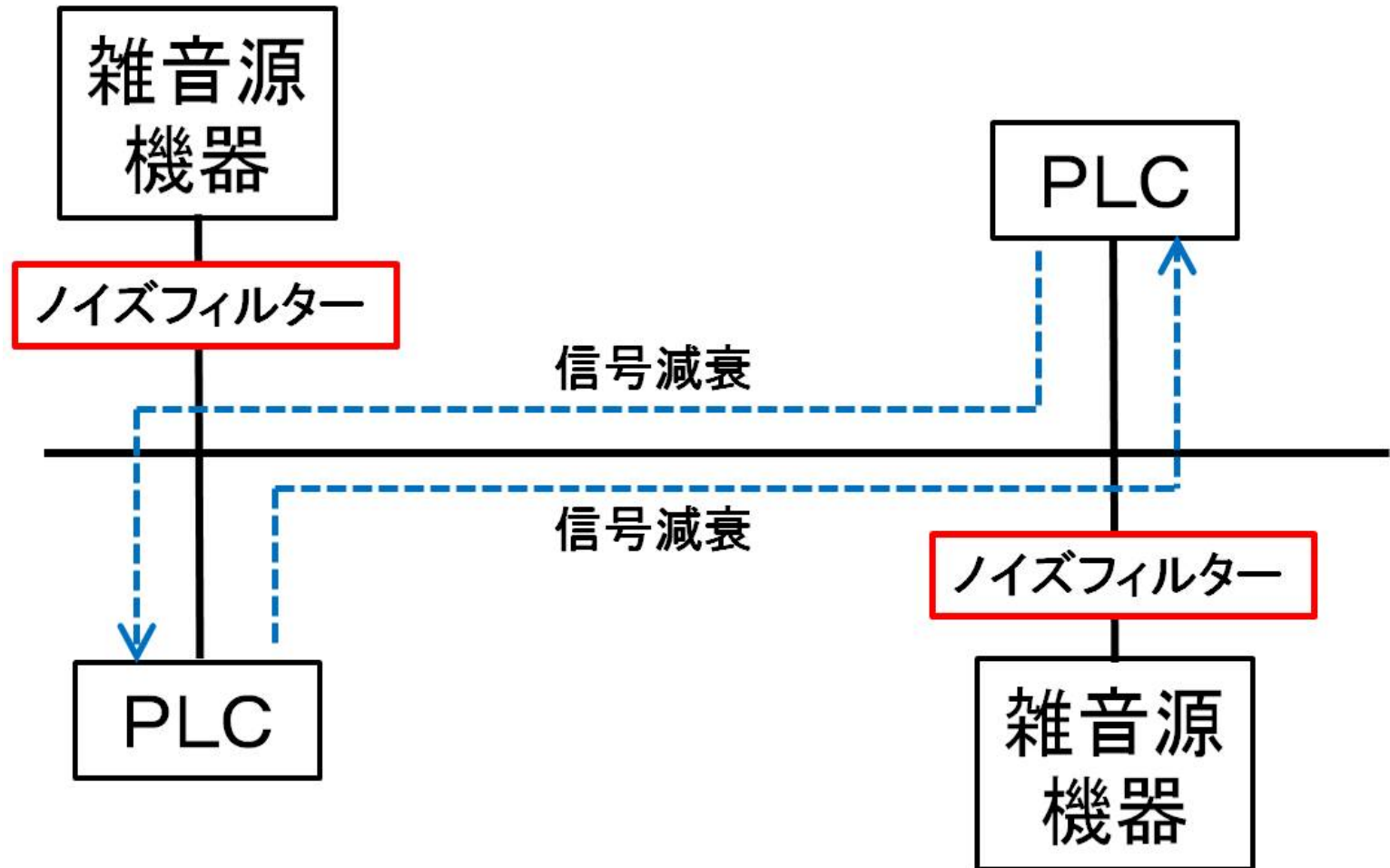
電源周期のインピーダンス変動



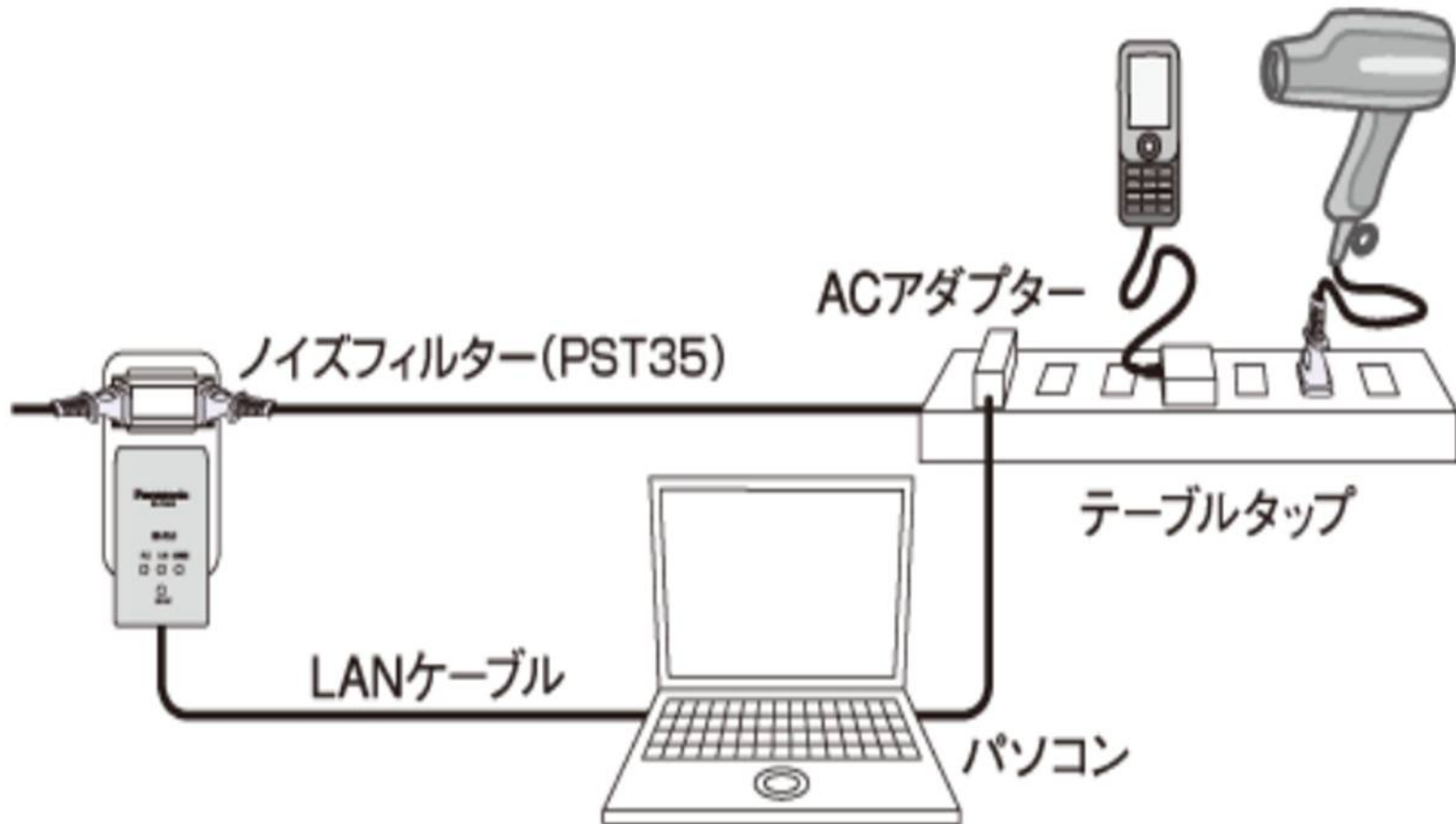
電源周期で変動するパケット不良率の変化

■パケット不良率は一定ではない、80%誤る区間と2%程度の誤りでしかない区間が存在する。

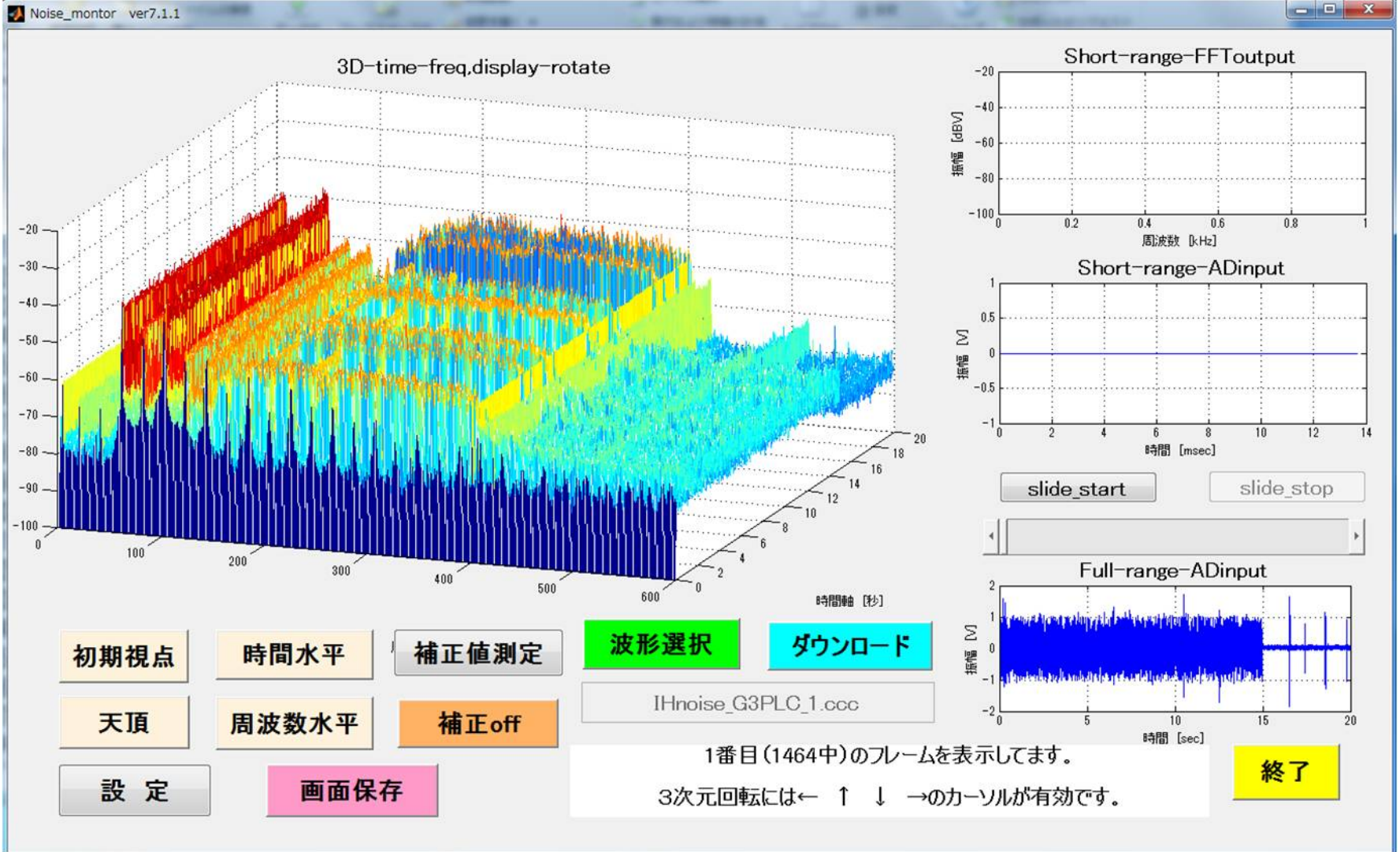
雑音源にたいする、具体的対策ー1

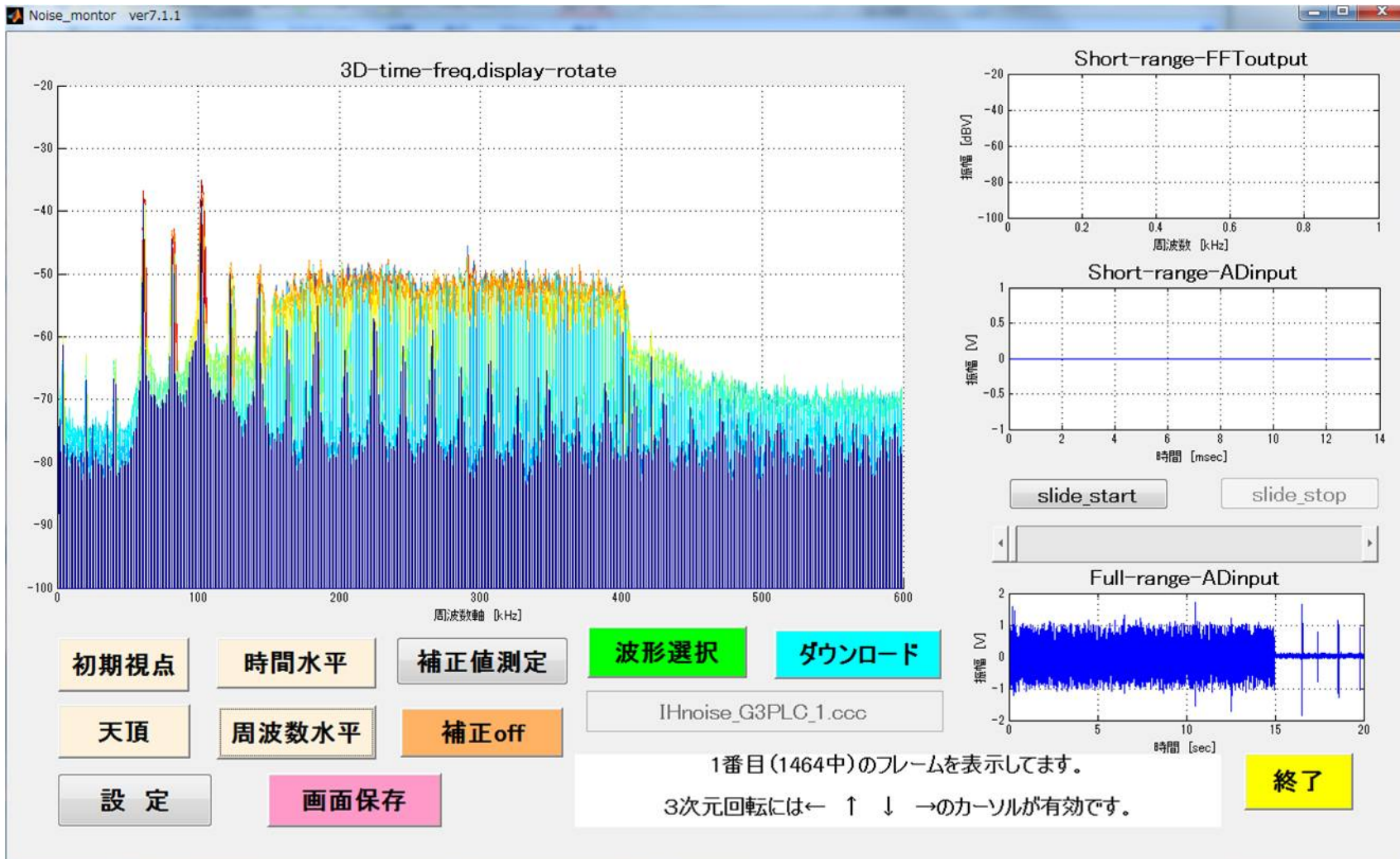


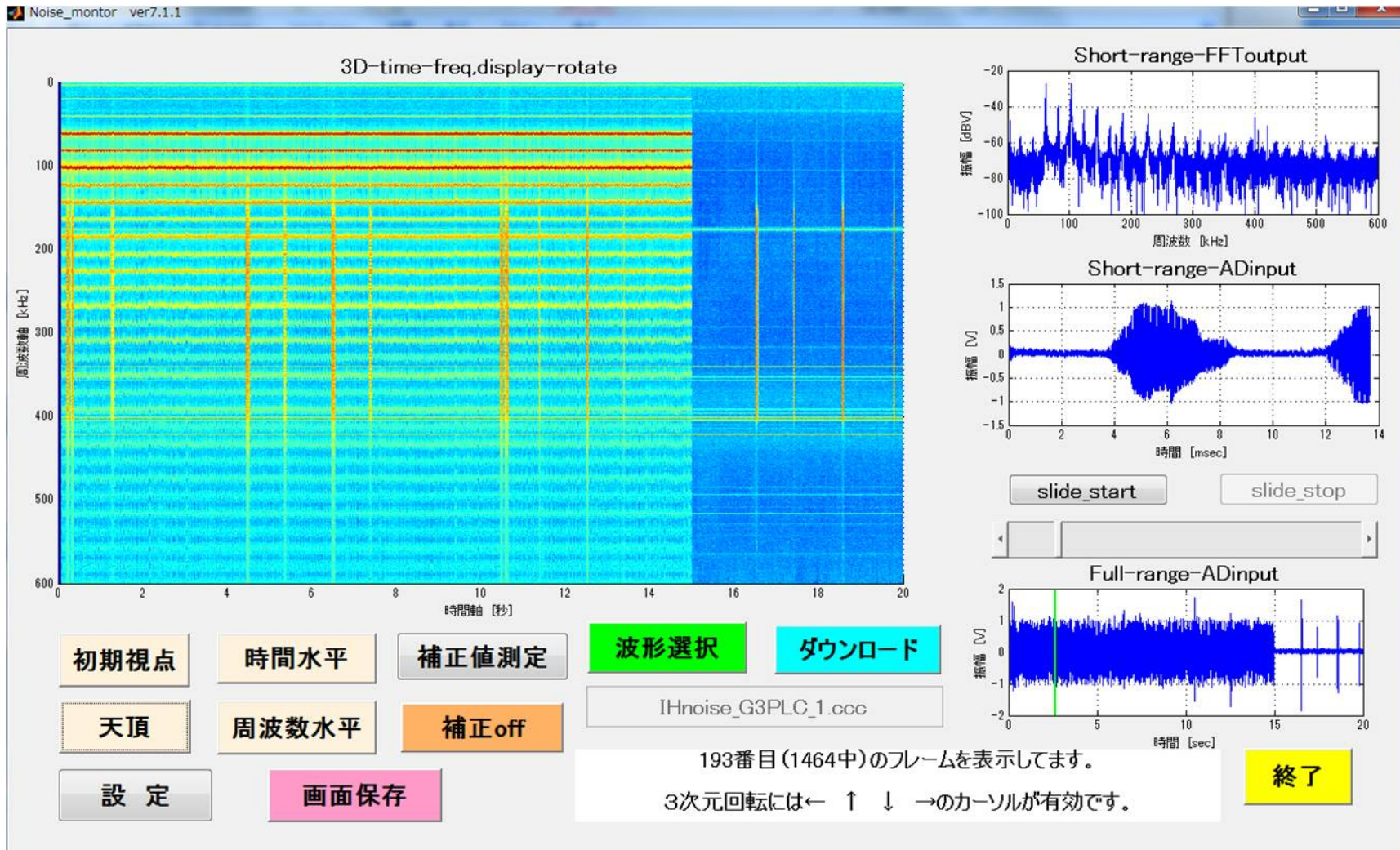
雑音源にたいする、具体的対策ー2



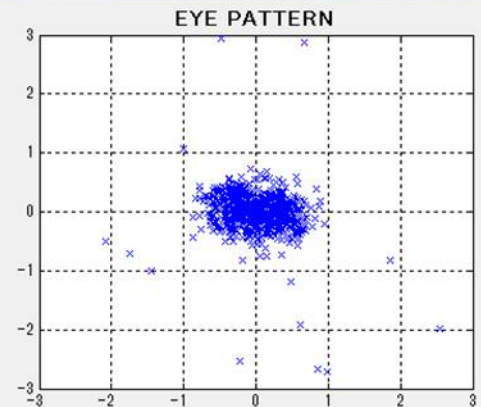
3. 2 PLCアナライザー





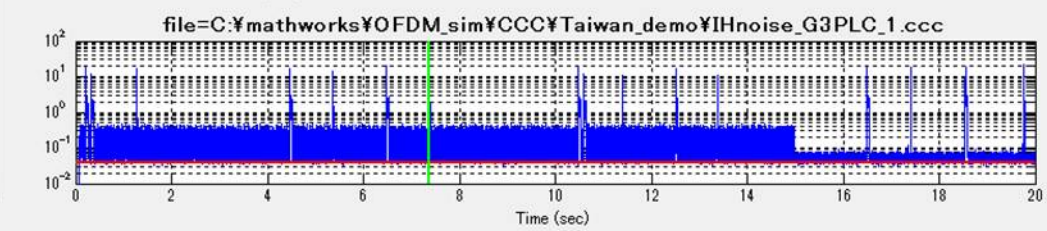
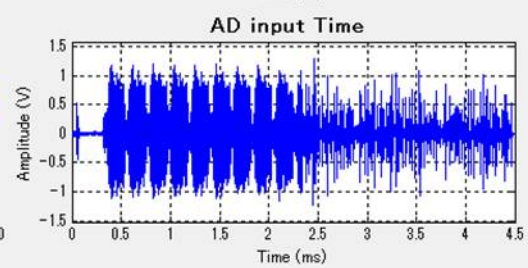
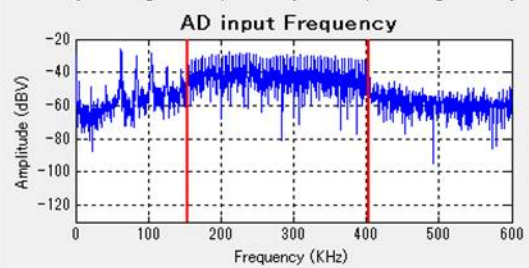
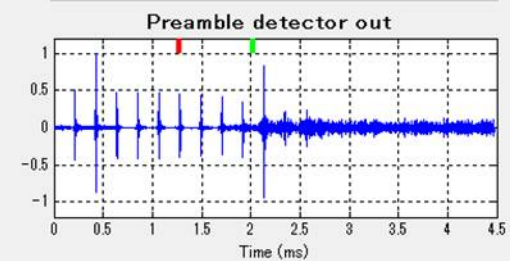


Frame:RQ_R:RB:FL=187:	Amp= 365.12mV	[-8.75dB]
Frame:RQ_R:RB:FL=187:	Amp= 412.11mV	[-7.70dB]
ACK :NO_S:MACFCS=F57E:	Amp= 437.78mV	[-7.17dB]
Frame:RQ_R:RB:FL=187:	Amp= 441.42mV	[-7.10dB]
ACK :NO_S:MACFCS=DBA8:	Amp= 315.89mV	[-10.01dB]
Frame:RQ_R:RB:FL=187:	Amp= 434.04mV	[-7.25dB]
ACK :NO_S:MACFCS=721D:	Amp= 388.80mV	[-8.21dB]
ERROR E6B6D7D03D8FF05140:	Amp= 338.23mV	[-9.42dB]
Frame:RQ_R:RB:FL=187:	Amp= 417.23mV	[-7.59dB]
ACK :NO_S:MACFCS=23B6:	Amp= 301.90mV	[-10.40dB]
Frame:RQ_R:RB:FL=187:	Amp= 349.21mV	[-9.14dB]
ACK :NO_S:MACFCS=93A6:	Amp= 295.41mV	[-10.59dB]
Frame:RQ_R:RB:FL=187:	Amp= 475.46mV	[-6.46dB]
ACK :NO_S:MACFCS=DBB1:	Amp= 16.56mV	[-35.62dB]
Frame:RQ_R:RB:FL=187:	Amp= 15.81mV	[-36.02dB]
ACK :NO_S:MACFCS=ECCC:	Amp= 474.30mV	[-6.48dB]
Frame:RQ_R:RB:FL=187:	Amp= 475.26mV	[-6.46dB]
ACK :NO_S:MACFCS=AD57:	Amp= 17.11mV	[-35.34dB]
ACK :NO_S:MACFCS=88FC:	Amp= 474.69mV	[-6.47dB]



波形選択 ダウンロード

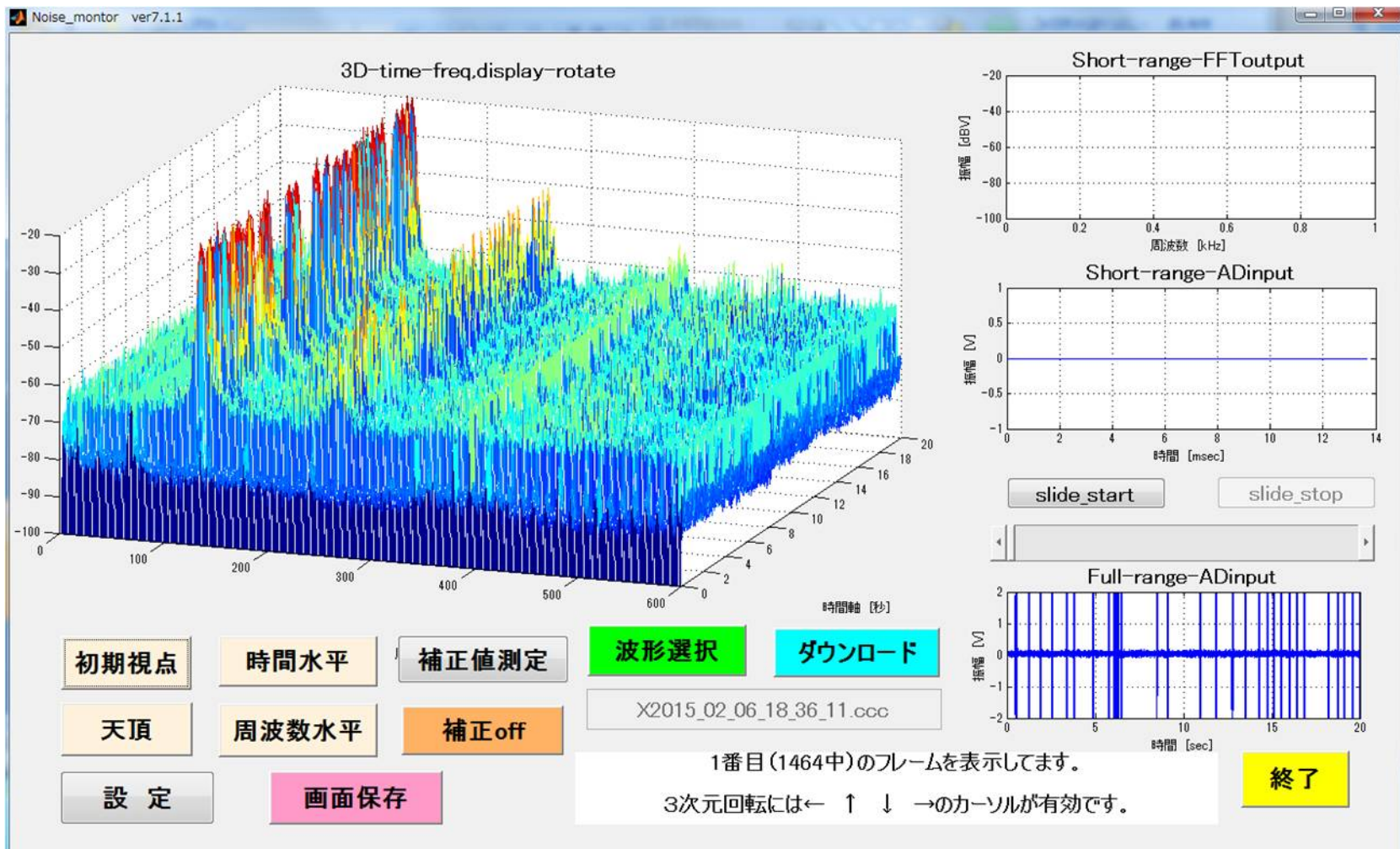
IHnoise_G3PLC_1.ccc

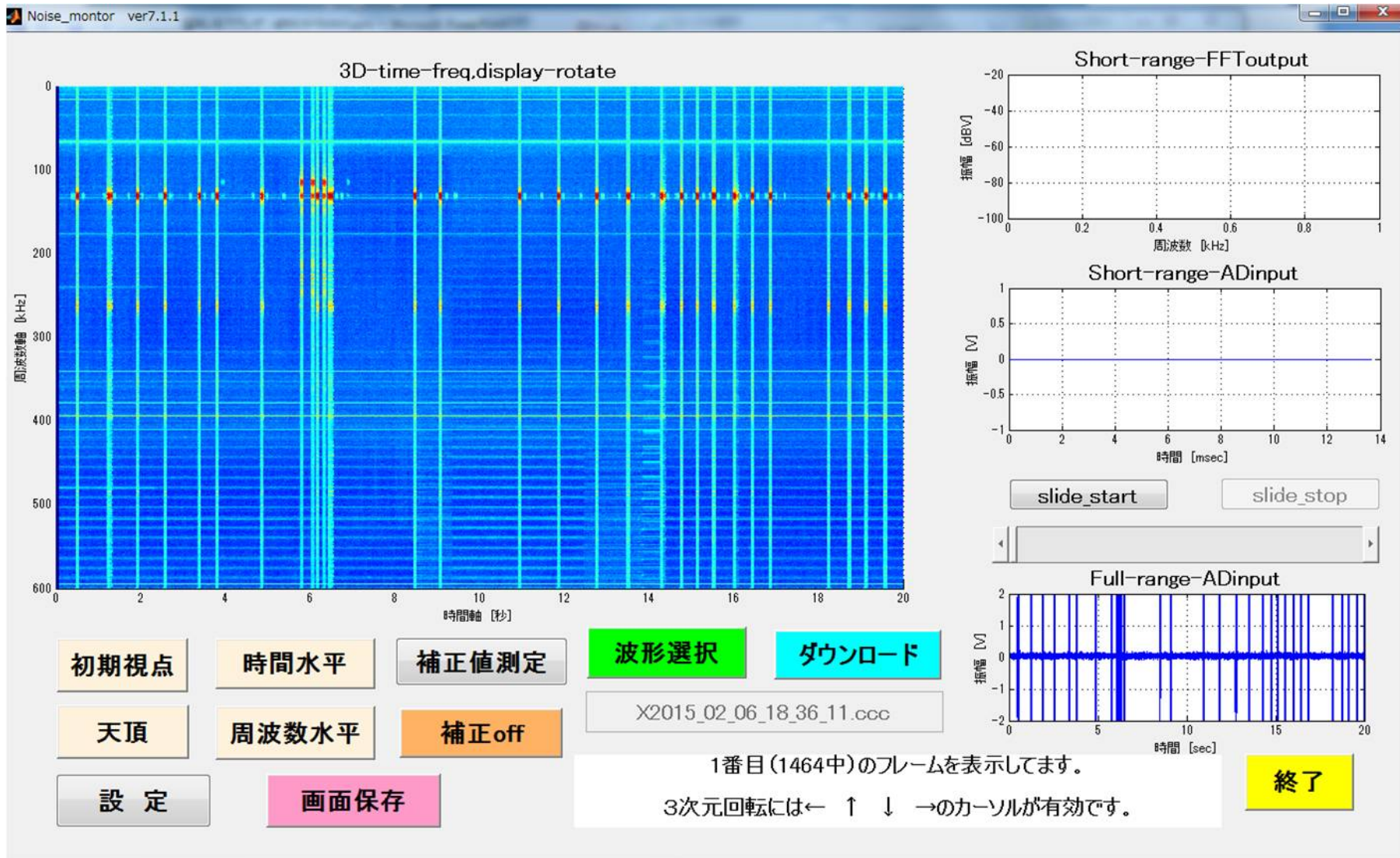


設定 0dB 画面保存

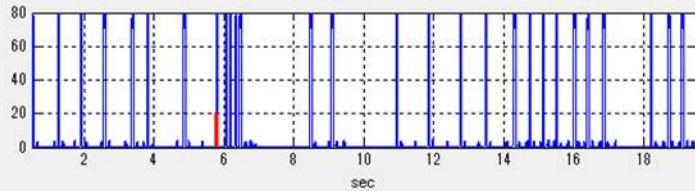
フレームシーケンス番号=7/19 sec=7.382
 ACK:NO_S:MACFCS=721D:Amp=388.80mV[-8.21dBV]:EQM=470
 OK frame/Total frame=18/19

終了





C:\mathworks\OFDM_sim\CCC\echuron\X2015_02_06_18_36_11.ccc



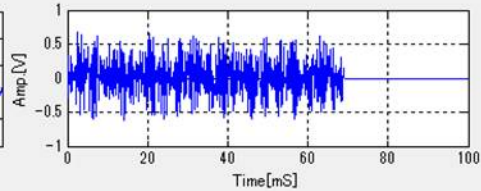
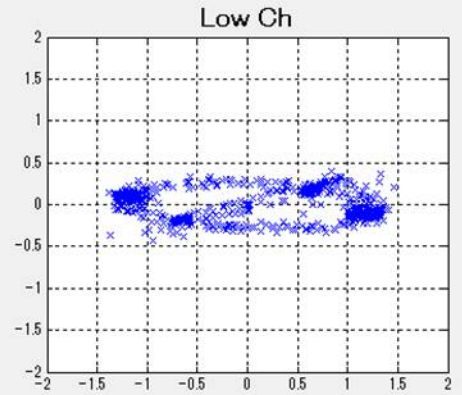
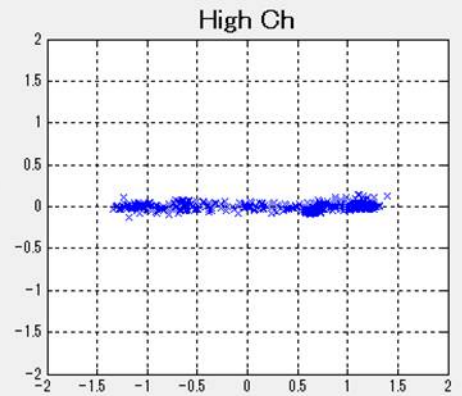
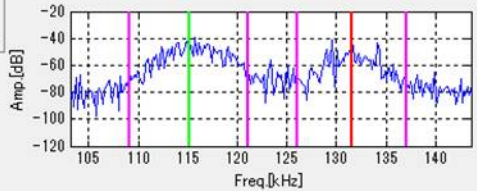
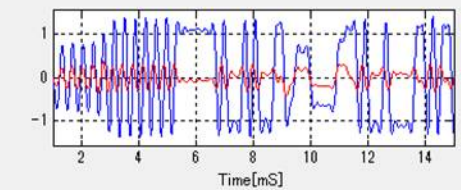
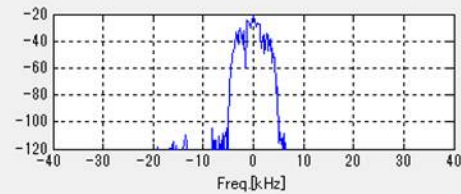
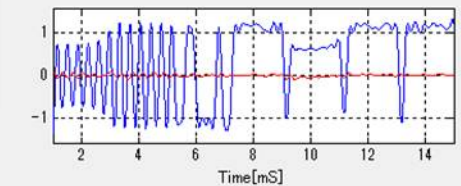
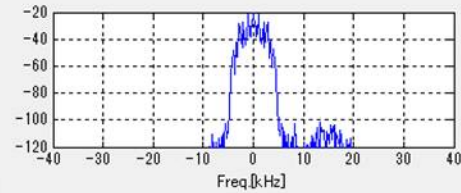
```

01100111101
L ch=31 words
0000001011
10101110011
00011111000
01011101111
10010100101
01011100010
10010110010
00100000010
00101010111
10100010101
10010000111
10011100111
00010010011
    
```

波形選択

次へ

終了



4. ソフトモデムの MATLAB活用

MATLAB活用のメリット

■ MATLAB言語の特徴

#型宣言／配列宣言不要

#変数のデフォルト=倍精度複素多次元配列の
ダイナミックアロケーション

#インタープリター動作(シミュレーション)

=>C言語変換(組み込みソフト)

モデルベース開発が容易

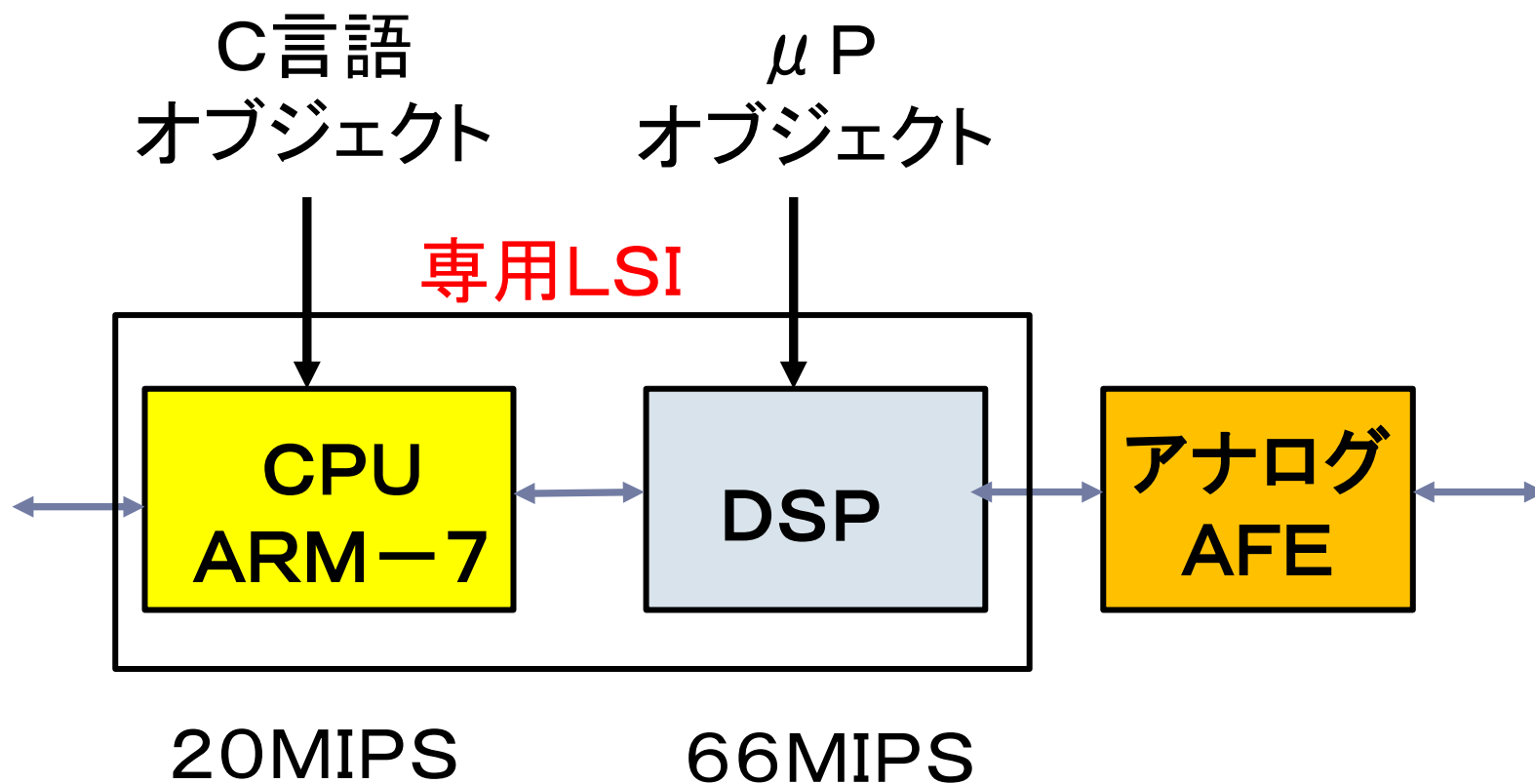
■ ライブラリー関数の充実

#Digital信号処理ライブラリー、通信基本ブロックライブラリー、
IPネットワークライブラリー

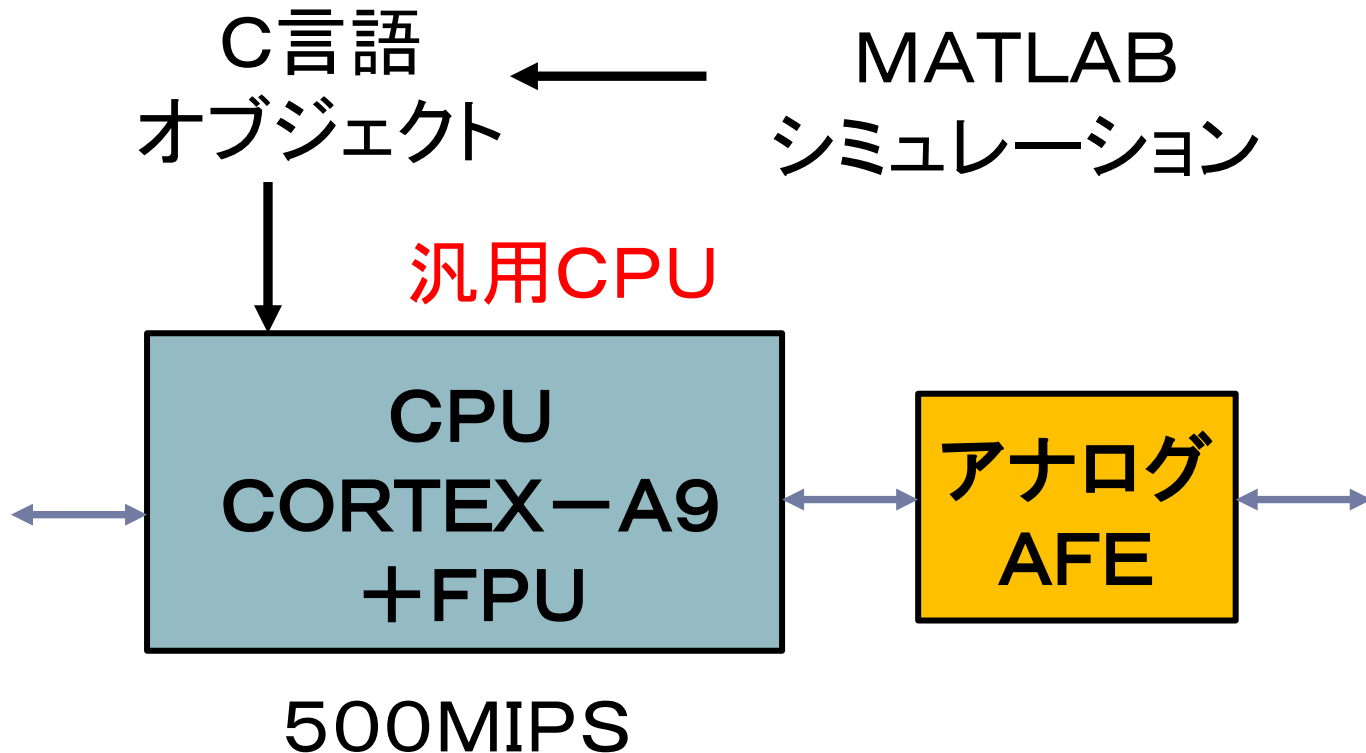
#PLOT関数の充実——>信号図形表示が1行

#GUIが、VC/JAVA並みに容易

MATLAB以前のモデム開発



MATLAB以後のモデム開発



MATLAB-to-Cソース変換ー1

MATLAB

```
function [xl,yl,preg]=precoder_f(u1,c1,p1,preg)
yl=u1+c1;
xl=yl-p1;
preg(3)=real(preg(2))+imag(preg(2))*1i;
preg(2)=real(preg(1))+imag(preg(1))*1i;
preg(1)=real(xl)+imag(xl)*1i;
return
```



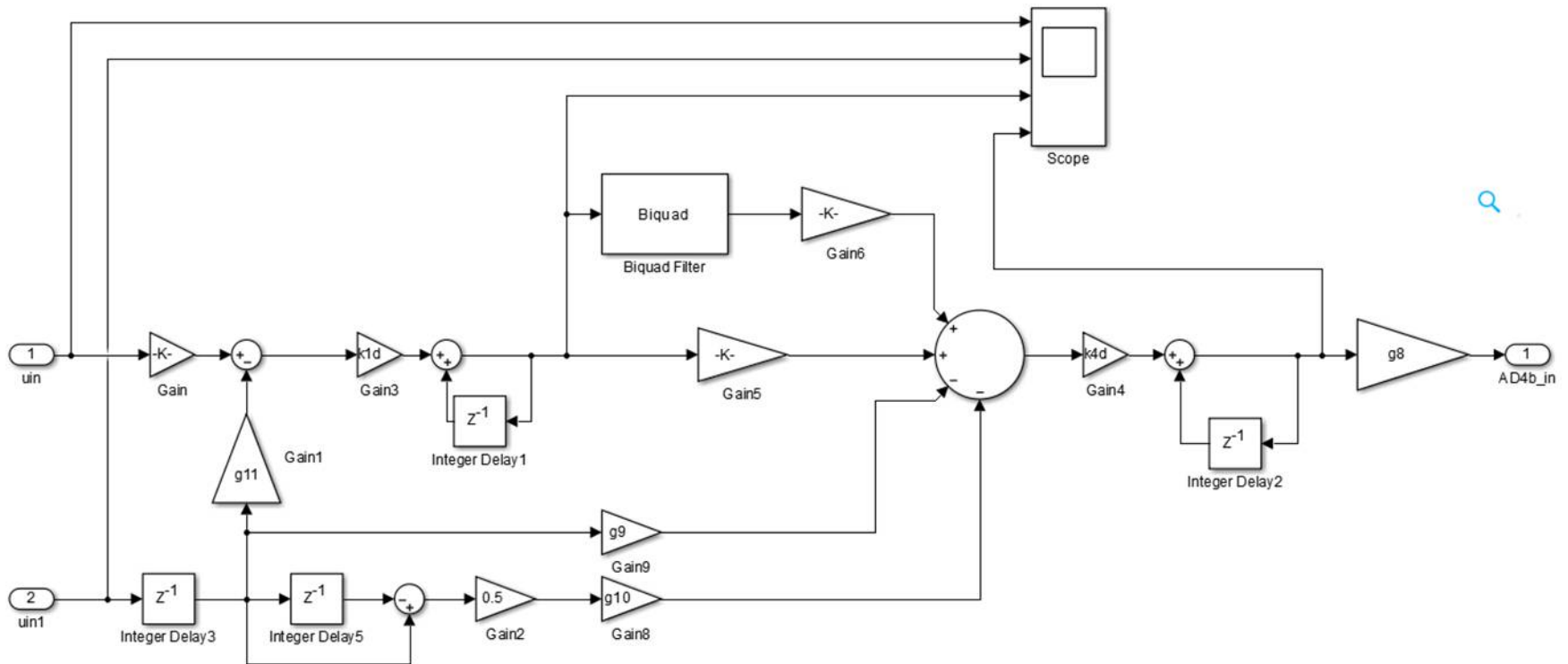
次頁 Cソース

MATLAB-to-Cソース変換ー2

Cソース

```
/* 'map_4D:33' [x1,y1,pregTX]=precoder_f(u1,c1,p1,pregTX); */
/* global v34map */
/* case int32(1) */
/* 'precoder_f:4' y1=u1+c1; */
d_y1->re = u1.re + c1.re;
d_y1->im = u1.im + c1.im;
/* 'precoder_f:5' x1=y1-p1; */
c_x1->re = d_y1->re - p1.re;
c_x1->im = d_y1->im - p1.im;
/* 'precoder_f:6' preg(3)=preg(2); */
b_pregTX[2] = pregTX[1];
/* 'precoder_f:7' preg(2)=preg(1); */
b_pregTX[1] = pregTX[0];
/* 'precoder_f:8' preg(1)=x1; */
b_pregTX[0] = *c_x1;
for (i_Z1 = 0; i_Z1 < 3; i_Z1++) {
    pregTX[i_Z1] = b_pregTX[i_Z1];
}
```

simulink-to-HDL変換一1



simulink-to-HDL 變換一2

```
`timescale 1 ns / 1 ns
module SD4_new_filter_block1
    ( clk,reset, enb_1_20_0, uin, uin1,AD4b_in);
    input  clk;
    input  reset;
    input  enb_1_20_0;
    input  [63:0] uin; // double
    input  [63:0] uin1; // double
    output [63:0] AD4b_in; // double
        ||
    wire [63:0] Sum1_out1_1; // ufix64
    wire [63:0] Biquad_Filter_out1; // ufix64
    real Biquad_Filter_out1_double; // double
    real Gain6_out1; // double
    real Gain5_out1; // double
    real Sum3_op_stage2; // double
```

simulink-to-HDL変換一3

```
always @* uin_double = $bitstoreal(uin);
// <S4>/Gain
always @* Gain_out1 = 0.001 * uin_double;
always @* uin1_double = $bitstoreal(uin1);
// <S4>/Integer Delay3
always @(posedge clk or posedge reset)
begin : Integer_Delay3_process
  if (reset == 1'b1) begin
    Integer_Delay3_out1 <= 0.0;
  end
  else begin
    if (enb_1_20_0) begin
      Integer_Delay3_out1 <= uin1_double;
    end
  end
end
end
```

simulink-to-HDL 變換一4

```
    ||
    // <S4>/Sum1
    always @* Sum1_out1 = Gain3_out1 + Integer_Delay1_out1;
    assign Sum1_out1_1 = $realtobits(Sum1_out1);
    // <S4>/Biquad Filter
    Biquad_Filter  u_Biquad_Filter  (.clk(clk),
                                     .enb_1_20_0(enb_1_20_0),
                                     .reset(reset),
                                     .Biquad_Filter_in(Sum1_out1_1), // double
                                     .Biquad_Filter_out(Biquad_Filter_out1) // double
                                    );
    always @* Biquad_Filter_out1_double = $bitstoreal(Biquad_Filter_out1);
    // <S4>/Gain6
    always @* Gain6_out1 = 0.0016666666666666668 * Biquad_Filter_out1_double;
    // <S4>/Gain5
    always @* Gain5_out1 = 0.003333333333333333335 * Sum1_out1;
    always @* Sum3_op_stage2 = Gain6_out1 + Gain5_out1;
```

simulink-to-HDL変換一5

```
        ||  
    // <S4>/Sum2  
    always @* Sum2_out1 = Gain4_out1 + Integer_Delay2_out1;  
    // <S4>/c8  
    always @* c8_out1 = 8.0 * Sum2_out1;  
    assign AD4b_in = $realtobits(c8_out1);  
    // <S4>/Scope  
endmodule // SD4_new_filter_block1
```

将来の通信LSI開発の手法

MATLABシミュレーション

高速単純部分

低速複雑部分

Simulink

MATLAB-m

HDL

C言語

FPGA

CORTEX-A9

Xilinx-Zynq-7000

Xilinx-Zynq-7000 その1

機能一覧

表 1 : Zynq-7000 All Programmable SoC

Zynq-7000 All Programmable SoC							
デバイス名	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
デバイス番号	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
プロセッシングシステム	プロセッサ コア	CoreSight™ を搭載したデュアル ARM® Cortex™-A9 MPCore™					
	プロセッサの拡張機能	各プロセッサに NEON™ および単精度/倍精度浮動小数点ユニット					
	最大周波数	667MHz (-1); 766MHz (-2); 866MHz (-3)			667MHz (-1); 800MHz (-2); 1GHz (-3)		667MHz (-1); 800MHz (-2)
	L1 キャッシュ	各プロセッサに 32KB 命令キャッシュと 32KB データ キャッシュ					
	L2 キャッシュ	512KB					
	オンチップ メモリ	256KB					
	外部メモリ サポート ⁽¹⁾	DDR3、DDR3L、DDR2、LPDDR2					
	外部スタティック メモリ サポート ⁽¹⁾	クワッド SPI x2、NAND、NOR					
	DMA チャンネル	8 (4 つはプログラマブル ロジック専用)					
	ペリフェラル ⁽¹⁾	UART x2、CAN 2.0B x2、I2C x2、SPI x2、32b GPIO x4					
DMA 内蔵ペリフェラル ⁽¹⁾	USB 2.0 (OTG) x2、トライモード ギガビット イーサネット x2、SD/SDIO x2						
セキュリティ ⁽²⁾	RSA 認証、256 ビットの AES および SHA 複合/認証によるセキュアブート						

Xilinx-Zynq-7000 その2

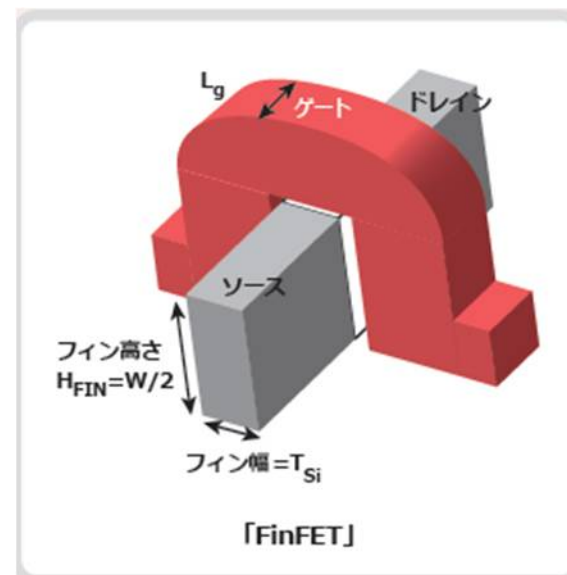
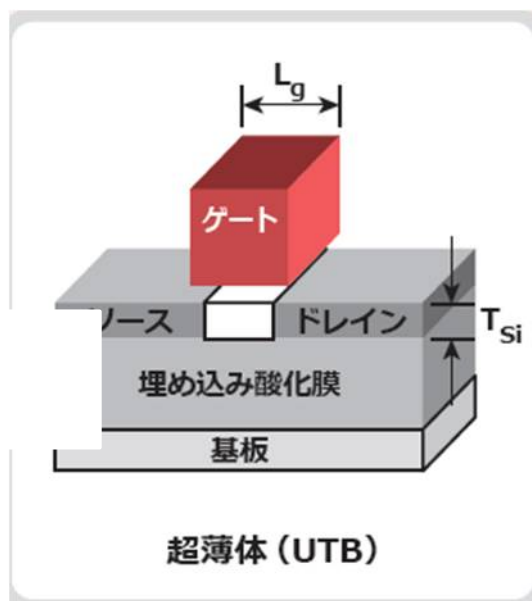
表 1 : Zynq-7000 All Programmable SoC (続き)

Zynq-7000 All Programmable SoC									
デバイス名	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100		
デバイス番号	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100		
プロセッシングシステムとプログラマブルロジックのインターフェイスポート (プライマリインターフェイスおよび割り込みのみ)	AXI 32 ビット マスター x2、AXI 32 ビット スレーブ x2 AXI 64 ビット/32 ビット メモリ x4 AXI 64 ビット ACP 16 個の割り込み								
プログラマブルロジック	相当するザイリンクス7シリーズプログラマブルロジック	Artix®-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex®-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	
	プログラマブルロジックセル (ASIC ゲート相当数) ⁽³⁾	28K ロジックセル (~430K)	74K ロジックセル (~1.1M)	85K ロジックセル (~1.3M)	125K ロジックセル (~1.9M)	275K ロジックセル (~4.1M)	350K ロジックセル (~5.2M)	444K ロジックセル (~6.6M)	
	ルックアップテーブル (LUT)	17,600	46,200	53,200	78,600	171,900	218,600	277,400	
	フリップフロップ	35,200	92,400	106,400	157,200	343,800	437,200	554,800	
	エクステンシブルブロック RAM (36Kb ブロックの数)	240KB (60)	380KB (95)	560KB (140)	1,060KB (265)	2,000KB (500)	2,180KB (545)	3,020KB (755)	
	プログラマブル DSP スライス (18 × 25 MACC)	80	160	220	400	900	900	2,020	
	DSP の最大処理速度 (対称 FIR)	100GMAC	200GMAC	276GMAC	593GMAC	1,334GMAC	1,334GMAC	2,622GMAC	
	PCI Express® (ルートコンプレックスまたはエンドポイント) ⁽⁴⁾	—	Gen2 x4	—	Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8	
	アナログ ミックスド シグナル (AMS)/ XADC	最大 17 の差動入力を備えた 12 ビット 1MSPS ADC x2							
	セキュリティ ⁽²⁾	AES および SHA 256b によるブートコードおよび PL のコンフィギュレーション、復号、認証							

「ムーアの法則」の終えん

LSIの微細化は、加工技術やデバイス動作の物理限界により、20nm程度で頭打ちになると予測され、10年程度で「ムーアの法則」は終えんを迎えると考えられている。

FinFETが時代をブレーク



ファウンドリ各社の16/14nm 3DトランジスタFinFETプロセスは、20nmプロセスに対してパフォーマンスロジックチップのサイズが縮小する。これは、FinFETプロセスで、スタンダードセルが大きく変わるからだ。特に高性能チップ用のセルライブラリは、セルのサイズが小さくなり、より小さいサイズで高性能を達成できるようになる。

ご清聴ありがとうございました。

<http://www.egretcom.com>

